

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

This Page Blank (uspto)

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-102766

(43)Date of publication of application : 16.04.1996

(51)Int.Cl. H04L 27/20
H03H 17/08
H04L 27/36
H04L 27/00

(21)Application number : 07-204083

(71)Applicant : NIPPON TELEGR & TELEPH
CORP <NTT>

(22)Date of filing : 19.07.1995

(72)Inventor : OKADA TAKASHI
SHIRATO TADASHI

(30)Priority

Priority number : 06168280
06203032Priority date : 20.07.1994
05.08.1994Priority country : JP
JP

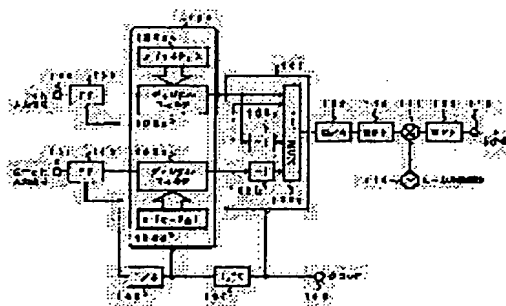
(54) DIGITAL PROCESSING QUADRATURE MODULATOR

(57)Abstract:

PURPOSE: To raise a carrier frequency and to easily separate foldover noise and spurious components by shifting a phase difference between the channels of a digital filter for a timing phase difference in a quadrature modulation operation.

CONSTITUTION: The channel input signals of I and Q are sampled by prescribed frequency divided clocks, waveform-shaped and band-limited in a filter part 4 and supplied to a quadrature modulation operation circuit 105, signals are synthesized by the respective compensation circuits 105a and 105b of the I and Q and a multiplexer 105c and modulation output is obtained. At the time, the phase difference in signal synthesis is compensated by shifting the phase characteristics of the filters 104a and 104b corresponding to the phase between the channels of the I and Q. In such a manner, by constituting the quadrature modulation operation circuit by the complement circuit of a high-speed operation and a selector and generating the foldover noise and the spurious components of digital

processings at a position separated from modulation waves, elimination by the BPF of wide band characteristics is performed and the design of an analog processing circuit is facilitated.



LEGAL STATUS

[Date of request for examination] 01.11.1999
[Date of sending the examiner's decision of rejection]
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
[Date of final disposal for application]
[Patent number]
[Date of registration]
[Number of appeal against examiner's decision of rejection]
[Date of requesting appeal against examiner's decision of rejection]
[Date of extinction of right]

Copyright (C); 1998,2000 Japanese Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-102766

(43) 公開日 平成8年(1996)4月16日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 L 27/20	A	9297-5K		
H 0 3 H 17/08		8842-5J		
H 0 4 L 27/36				
		9297-5K	H 0 4 L 27/ 00	F
		9297-5K		C

審査請求 未請求 請求項の数10 F D (全 18 頁) 最終頁に続く

(21) 出願番号 特願平7-204083

(22) 出願日 平成7年(1995)7月19日

(31) 優先権主張番号 特願平6-168280

(32) 優先日 平6(1994)7月20日

(33) 優先権主張国 日本 (J P)

(31) 優先権主張番号 特願平6-203032

(32) 優先日 平6(1994)8月5日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000004226

日本電信電話株式会社

東京都新宿区西新宿三丁目19番2号

(72) 発明者 岡田 隆

東京都千代田区内幸町一丁目1番6号 日

本電信電話株式会社内

(72) 発明者 白土 正

東京都千代田区内幸町一丁目1番6号 日

本電信電話株式会社内

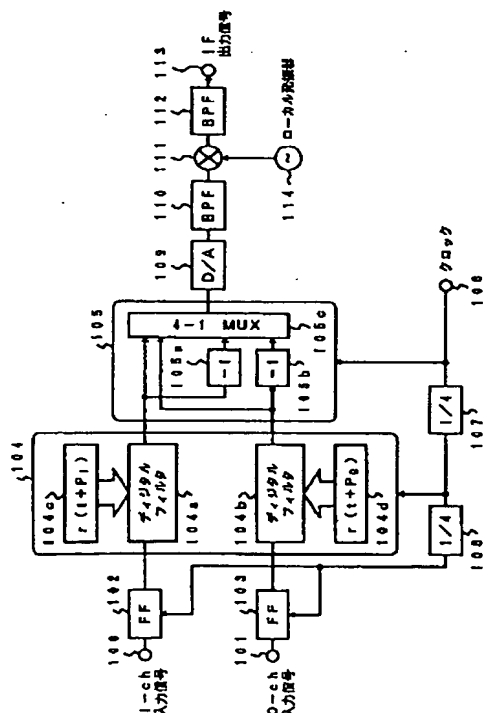
(74) 代理人 弁理士 山本 恵一

(54) 【発明の名称】 デジタル処理直交変調器

(57) 【要約】

【課題】 アナログ信号処理回路の設計が容易なデジタル処理直交変調器を提供する。

【解決手段】 n 系列 (n は 1 以上の整数) の I チャネルデジタル信号及び n 系列の Q チャネルデジタル信号を入力し、該入力信号に対してデジタル信号処理により直交変調を行なうデジタル処理直交変調器である。この変調器は、I チャネル及び Q チャネルの入力信号間に、デジタル処理を用いた直交変調演算において発生する両チャネル間のタイミング位相差を補償する所定の位相差を与えるデジタルフィルタと、デジタルフィルタの出力信号を補数演算する補数回路と、デジタルフィルタの出力信号及び補数回路の出力信号を合成して直交変調波を生成する信号合成回路とを備えている。



【特許請求の範囲】

【請求項1】 n 系列(n は1以上の整数)のIチャンネルデジタル信号及び n 系列のQチャンネルデジタル信号を入力し、該入力信号に対してデジタル信号処理により直交変調を行なうデジタル処理直交変調器であって、

前記Iチャンネル及びQチャンネルの入力信号間に、デジタル処理を用いた直交変調演算において発生する両チャンネル間のタイミング位相差を補償する所定の位相差を与えるデジタルフィルタと、

前記デジタルフィルタの出力信号を補数演算する補数回路と、

前記デジタルフィルタの出力信号及び前記補数回路の出力信号を合成して直交変調波を生成する信号合成回路と、を備えたことを特徴とするデジタル処理直交変調器。

【請求項2】 前記デジタルフィルタが、Iチャンネル又はQチャンネルの位相特性のみを前記タイミング位相差分だけずらすように構成されていることを特徴とする請求項1に記載の直交変調器。

【請求項3】 前記デジタルフィルタが、Iチャンネル及びQチャンネルの位相特性を前記タイミング位相差の半分だけ両方向に均等にずらすように構成されていることを特徴とする請求項1に記載の直交変調器。

【請求項4】 前記デジタルフィルタが、前記入力信号をアドレスとして、両チャンネル間のタイミング位相差を補償する所定の位相差だけ位相シフトさせた波形情報を記憶している波形メモリを含んでいることを特徴とする請求項1から3のいずれか1項に記載の直交変調器。

【請求項5】 前記デジタルフィルタが、外部より印加される伝送速度制御信号に応じてそのサンプリング数 M_s (M_s は自然数)を変化させるように構成されていることを特徴とする請求項1から4のいずれか1項に記載の直交変調器。

【請求項6】 前記デジタルフィルタが、複数の位相に対応した波形情報を記憶する複数のROMからなる波形メモリを含んでおり、前記サンプリング数 M_s に応じた数だけ該ROMの動作を許可するように構成されていることを特徴とする請求項5に記載の直交変調器。

【請求項7】 前記デジタルフィルタが、前記ROMからの波形情報の重み付けをそれぞれ行う複数の重み付け累算器と、前記伝送速度制御信号に応じた数だけ前記重み付け累算器の出力を選択してシフト加算する加算器とを含んでいることを特徴とする請求項6に記載の直交変調器。

【請求項8】 前記デジタルフィルタが、外部より印加される伝送方式制御信号に応じて該ROMの出力値を選択的にクリアする回路を含んでいることを特徴とする請求項6に記載の直交変調器。

【請求項9】 前記補数回路が、前記デジタルフィル

タのIチャンネル及びQチャンネル出力信号をそれぞれ補数演算して第1及び第2の補数出力信号を出力する第1及び第2の補数回路から構成されており、前記信号合成回路が、前記デジタルフィルタのIチャンネル出力信号、前記デジタルフィルタのQチャンネル出力信号、前記第1の補数出力信号及び前記第2の補数出力信号をこの順序で合成するセレクタから構成されている請求項1から8のいずれか1項に記載の直交変調器。

【請求項10】 前記デジタルフィルタが、 n 系列の前記入力信号を多重化してアドレス信号を発生する手段と、両チャンネル間のタイミング位相差を補償する所定の位相差だけ位相シフトさせた波形情報を記憶しており、前記アドレス信号をアドレスとして各位相の波形情報を出力する波形メモリと、該波形メモリからの波形情報の重み付けを行う複数の重み付け累算器と、該重み付け累算器の出力を加算する加算器とを含んでいることを特徴とする請求項1から9のいずれか1項に記載の直交変調器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、デジタル信号の位相変調、振幅変調及び振幅直交変調を行なうデジタル処理直交変調器に関する。

【0002】

【従来の技術】近年、画像通信や、高速データ伝送等の高速デジタル伝送に対する需要が増大してきている。この需要増大に応じて、ユーザとネットワークとを無線回線を用いて接続する高度なアクセス無線方式の実現が要望されている。その1つとして、トラヒック又は伝送路の状況、及びユーザの要求に応じて、変調方式及び伝送帯域幅を変化させることのできる適応変調方式が検討されている。この適応変調方式は、周波数の利用効率を向上させると共に、トラヒック変動の吸収に有効である。

【0003】適応変調方式を実現するためには、変調方式が可変であり伝送帯域幅が可変である変調器を備える必要がある。しかしながら、従来のアナログ式の変調器ではこのような機能を実現することが難しい。また、デジタル処理を行う直交変調器においても、変調方式が可変であり伝送帯域幅が可変であるものは、全く存在していない。

【0004】以下、従来より存在するデジタル処理直交変調器について説明する。

【0005】図17は、従来のデジタル処理型直交変調器の一般的な構成例を示すブロック図である。この変調器は、基本的にはアナログ回路により構成される直交変調器の各構成要素をデジタル信号処理デバイスに置き換えて実現したものである。

【0006】同図において、1700はIチャンネルの信号入力端子、1701はQチャンネルの信号入力端子、1

1702はIチャンネル用デジタルフィルタ、1703はQチャンネル用デジタルフィルタ、1704及び1705は乗算器、1706は加算器、1707はクロック入力端子、1708はカウンタ、1709はキャリア信号発生用波形ROM、1710はデジタル-アナログ

(D/A)変換器、1711はバンドパスフィルタ(BPF)、1712はミキサ、1713はBPF、1714は変調信号出力端子、1715はローカル発振器をそれぞれ示している。

【0007】この従来構成において、直交キャリア信号は、カウンタ1708及びROM1709によって発生される。デジタルフィルタ1702及び1703は、Iチャンネル及びQチャンネルの各n系列(nは1以上の整数)のデジタル信号を入力し、波形整形及び帯域制限処理を行う。このデジタルフィルタ出力と直交キャリア信号とが乗算器1704及び1705においてそれぞれ乗算され、その結果が加算器1706において加算された後、D/A変換器1710でアナログ信号に変換されることによって直交変調出力が得られる。図20は、従来構成の直交変調器におけるこれら信号のタイミングチャートを示している。

【0008】また、上記の方法を簡略化してデジタル信号処理の演算量を減少させたものが、Henry Samuelli and Bennet C. Wong "AVLSI Architecture for a High-Speed All-Digital Quadrature Modulator and Demodulator for Digital Radio Applications"、IEEE J-SC vol. 8, No. 8, Oct. 1990, pp1512~1519に報告されており、その構成が図18のブロック図に示されている。

【0009】同図において、1800はIチャンネルの信号入力端子、1801はQチャンネルの信号入力端子、1802及び1803は各チャンネルの入力信号サンプリング用のフリップフロップ、1805はデジタルフィルタをそれぞれ示している。デジタルフィルタ1805は、0位相用デジタルフィルタ部1805₀、 $\pi/2$ 位相用デジタルフィルタ部1805₁、 π 位相用デジタルフィルタ部1805₂、 $3\pi/2$ 位相用デジタルフィルタ部1805₃からなっている。

【0010】図18においてさらに、1806は4入力マルチプレクサ(4-1セレクタ)、1807はクロック入力端子、1808は1/4分周回路、1809はデジタル-アナログ(D/A)変換器、1810はバンドパスフィルタ(BPF)、1811はミキサ、1812はBPF、1813は変調信号出力端子、1814はローカル発振器をそれぞれ示している。

【0011】この従来構成では、各キャリア信号の0位相、 $\pi/2$ 位相、 π 位相、 $3\pi/2$ 位相をサンプリング

した振幅値が

$$I_{ch}(\cos) : 1 \quad 0 \quad -1 \quad 0$$

$$Q_{ch}(\sin) : 0 \quad 1 \quad 0 \quad -1$$

であることを利用し、各位相に分割したデジタルフィルタ部1805₀~1805₃を用いて演算を行ない、マルチプレクサ1806を用いて時分割で合成することにより直交変調を実現している。

【0012】また、特開平6-69969号には、図19に示すとき直交変調器が記載されている。

【0013】同図において、1900はIチャンネルの信号入力端子、1901はQチャンネルの信号入力端子、1902及び1903は各チャンネルの入力信号サンプリング用のフリップフロップ、1904はIチャンネル用デジタルフィルタ、1905はQチャンネル用デジタルフィルタ、1906は直交変調演算回路をそれぞれ示している。直交変調演算回路1906は、2入力マルチプレクサ(2-1セレクタ)1906a、ビット反転器1906b及び2入力マルチプレクサ(2-1セレクタ)1906cからなっている。

【0014】図19において、さらに、1907はクロック入力端子、1908は1/4分周器、1909はデジタル-アナログ(D/A)変換器、1910はバンドパスフィルタ(BPF)、1911はミキサ、1912はBPF、1913は変調信号出力端子、1914はローカル発振器をそれぞれ示している。

【0015】この変調器も、キャリア信号の0位相、 $\pi/2$ 位相、 π 位相、 $3\pi/2$ 位相のサンプリングした振幅値が上述のように1、0、-1、0及び0、1、0、-1となることを利用している。そして、各チャンネルに配置したデジタルフィルタの出力を2入力マルチプレクサ1906aで合成した後、ビット反転器1906b及び2入力マルチプレクサ1906cによって、非反転と反転のパスを切り替えることによって直交変調している。

【0016】

【発明が解決しようとする課題】一般にデジタル信号処理を用いた直交変調器では、無線周波数における変調波を直接発生させることが不可能であるため、D/A変換後に変調波を所要の周波数に変換することが行われる。この際、デジタル信号処理で発生する折り返し雑音及び周波数変換により発生する高調波を除去するために、アナログのバンドパスフィルタ(BPF)が設置される。

【0017】しかしながら、従来のデジタル直交変調器は、アナログ信号処理回路の設計は考慮されていないので、デジタル信号処理によって変調精度は向上するが、折り返し雑音、及び高調波等スプリアス成分を除去するためのアナログ回路(バンドパスフィルタ)の設計が非常に難しいという問題を有している。

【0018】図21は、従来のデジタル直交変調器に

おけるD/A変換器の出力の周波数配置を示している。同図に示すように、デジタル処理の折り返し雑音(DSP雑音)、及びキャリアークやイメージ等の周波数変換によるスプリアス成分が変調波の近傍に現われている。このため、アナログフィルタは、これらの不要成分のみを除去しかつ伝送特性に影響を与えないように設計しなければならない、これは非常に難しい。

【0019】従って本発明の目的は、従来技術の上述した問題を解消するデジタル処理直交変調器を提供することにある。即ち、アナログ信号処理回路の設計が容易なデジタル処理直交変調器を提供することにある。

【0020】本発明の他の目的は、変調方式が可変でありかつ変調帯域幅が可変のデジタル処理直交変調器を提供することにある。

【0021】

【課題を解決するための手段】本発明によれば、 n 系列(n は1以上の整数)のIチャネルデジタル信号及び n 系列のQチャネルデジタル信号を入力し、該入力信号に対してデジタル信号処理により直交変調を行なうデジタル処理直交変調器は、Iチャネル及びQチャネルの入力信号間に、デジタル処理を用いた直交変調演算において発生する両チャネル間のタイミング位相差を補償する所定の位相差を与えるデジタルフィルタと、デジタルフィルタの出力信号を補数演算する補数回路と、デジタルフィルタの出力信号及び前記補数回路の出力信号を合成して直交変調波を生成する信号合成回路とを備えている。

【0022】このように、デジタルフィルタのチャネル間の位相差($P_I - P_Q$)をデジタル処理を用いた直交変調演算において発生する両チャネル間のタイミング位相差 P_{diff} に相当する量だけずらして設計しているため、チャネル間のタイミング差による劣化を招くことなく、デジタルフィルタの出力当り数波長のキャリア信号を重畳できる。このため、デジタルフィルタの動作条件に従うことなく、任意のキャリア周波数を選択できる。また、直交変調演算回路が、補数回路と信号合成回路(セクタ)という高速動作が可能な回路で構成されているため、キャリア周波数を容易に高くすることができる。

【0023】変調周波数をこのように高くすると、デジタル処理の折り返し雑音(DSP雑音)、及びキャリアークやイメージ等の周波数変換によるスプリアス成分が変調波とは周波数上で離れた位置で発生することとなり、その結果、これらDSP雑音及びスプリアス成分は、変調波に影響を与えない比較的広い帯域特性のバンドパスフィルタで充分に除去することができ、従って、アナログ信号処理回路部分の設計が非常に容易となる。

【0024】本発明の1つの実施態様では、デジタルフィルタが、 n 系列の入力信号を多重化してアドレス信

号を発生する手段と、両チャネル間のタイミング位相差を補償する所定の位相差だけ位相シフトさせた波形情報を記憶しており、アドレス信号をアドレスとして各位相の波形情報を出力する波形メモリと、波形メモリからの波形情報の重み付けを行う複数の重み付け累算器と、重み付け累算器の出力を加算する加算器とを含んでいる。

【0025】好ましくは、補数回路が、デジタルフィルタのIチャネル及びQチャネル出力信号をそれぞれ補数演算して第1及び第2の補数出力信号を出力する第1及び第2の補数回路から構成されており、信号合成回路が、デジタルフィルタのIチャネル出力信号、デジタルフィルタのQチャネル出力信号、第1の補数出力信号及び第2の補数出力信号をこの順序で合成するセクタから構成されている。

【0026】デジタルフィルタが、Iチャネル若しくはQチャネルの位相特性のみをタイミング位相差分だけずらすように構成されているか、又はIチャネル及びQチャネルの位相特性をタイミング位相差の半分だけ両方向に均等にずらすように構成されているかもしれない。

【0027】デジタルフィルタが、入力信号をアドレスとして、両チャネル間のタイミング位相差を補償する所定の位相差だけ位相シフトさせた波形情報を記憶している波形メモリを含んでいることも本発明の1つの実施態様である。

【0028】デジタルフィルタが、外部より印加される伝送速度制御信号に応じてそのサンプリング数 M_s

(M_s は自然数)を変化させるように構成されていることも好ましい。この場合、複数の位相に対応した波形情報を記憶する複数のROMからなる波形メモリを含んでおり、前記サンプリング数 M_s に応じた数だけ該ROMの動作を許可するように構成されていることが本発明の1つの実施態様である。

【0029】また、デジタルフィルタが、ROMからの波形情報の重み付けをそれぞれ行う複数の重み付け累算器と、伝送速度制御信号に応じた数だけ重み付け累算器の出力を選択してシフト加算する加算器とを含んでいるかもしれない。

【0030】このように、伝送速度、従って伝送帯域幅の可変制御を行う場合に、デジタルフィルタの動作条件を変化させることなく選択機能のみで実現している。その結果、最も速い伝送速度モードに対してアナログバンドパスフィルタを設計しておけば、後は無調整で全ての伝送速度モードをカバーすることができる。即ち、従来技術においては、伝送速度を可変制御するためにサンプリング数を変えることは全く考慮されておらず、モードを切り替える場合には、その切り替え信号と同時に新しいモードで信号処理が開始される。このため、モード切り替え時点で位相の不連続が生じ、これに起因して不要な雑音出力されるので、フィルタを一度リセットする必要がある。これに対して、本発明では、ROMのイ

ネーブルの制御やカウンタのリセット値の制御のみで切り替えを行っているため、位相の連続性が保たれる。従って、モード切り替え時点で不要な雑音が出来ず、フィルタのリセットも不要となる。しかも、モード切り替えを瞬時に行うことができる。

【0031】デジタルフィルタが、外部より印加される伝送方式制御信号に応じてROMの出力値を選択的にクリアする回路を含んでいることが好ましい。

【0032】このように変調方式の可変制御を行う場合に、波形メモリ出力のクリア制御のみで実現できるので、デジタルフィルタの動作条件を変化させることができない。従って、モードの切り替えを高速で行うことができかつアナログ処理部の構成を変更することなく高機能化を極めて容易に行うことができる。

【0033】

【発明の実施の形態】図1は、本発明によるデジタル処理型直交変調器の一実施形態の構成を概略的に示すブロック図である。

【0034】同図において、100はIチャネルの信号入力端子、101はQチャネルの信号入力端子、102は信号入力端子100に接続された入力信号サンプリング用のフリップフロップ、103は信号入力端子101に接続された入力信号サンプリング用のフリップフロップ、104はデジタルフィルタをそれぞれ示している。

【0035】デジタルフィルタ104は、本実施形態では、Iチャネル用のデジタルフィルタ部104aと、Qチャネル用のデジタルフィルタ部104bと、Iチャネル用デジタルフィルタ部104aに P_I だけ位相シフトされたインパルス応答 $r(t+P_I)$ を与えるための回路104cと、Qチャネル用デジタルフィルタ部104aに P_Q だけ位相シフトされたインパルス応答 $r(t+P_Q)$ を与えるための回路104dとからなっている。ここで、 $r(t)$ はデジタルフィルタ部の単一インパルス応答である。

【0036】デジタルフィルタ104のIチャネル用デジタルフィルタ部104aの出力端子には、直交変調演算回路105内の4入力マルチプレクサ(4-1セクタ)105cの第1の入力端子が直接的に接続されており、さらに第1の補数回路105aを介してマルチプレクサ105cの第3の入力端子が接続されている。デジタルフィルタ104のQチャネル用デジタルフィルタ部104bの出力端子には、マルチプレクサ105cの第2の入力端子が直接的に接続されており、さらに第2の補数回路105bを介してマルチプレクサ105cの第4の入力端子が接続されている。

【0037】クロック入力端子106は1/4分周用のクロック分周回路107及びマルチプレクサ105cのクロック入力端子に接続されている。このクロック分周回路107の出力端子は、Iチャネル用デジタルフ

ィルタ部104a及びQチャネル用デジタルフィルタ部104bのクロック入力端子に接続されており、さらに1/4分周用のクロック分周回路108を介してフリップフロップ102及び103の制御端子に接続されている。

【0038】マルチプレクサ105cの出力端子は、デジタル-アナログ(D/A)変換器109、バンドパスフィルタ(BPF)110、ミキサ111及びBPF112を介して変調信号出力端子113に結合されている。ミキサ111には、さらに、ローカル発振器114の出力端子が接続されている。

【0039】この構成においてIチャネル及びQチャネルの入力信号は、システムクロックの1/16に分周されたクロックでサンプリングされてIチャネル用デジタルフィルタ部104a及びQチャネル用デジタルフィルタ部104bに入力される。次いで各入力信号は、各デジタルフィルタ部において波形整形処理及び帯域制限処理された後、各チャネル毎に出力される。

【0040】直交変調演算回路105では、デジタルフィルタの出力信号の1タイムスロット毎に補数回路105a及び105b並びにマルチプレクサ105cを用いて以下に示す所定の順序、(即ち、Iチャネル用デジタルフィルタ部104aの出力、Qチャネル用デジタルフィルタ部104bの出力Q、補数回路105aの出力、補数回路105bの出力という順序)で合成することにより、図2に示すような変調出力を得る。

【数1】

$$I, \quad Q, \quad \bar{I}, \quad \bar{Q}$$

【0041】このように、直交変調演算回路105が、補数回路とセクタという高速動作が可能な回路で構成されているため、キャリア周波数(変調波の中心周波数)を容易に高くすることができる。変調周波数を高くすると、図3に示すように、デジタル処理の折り返し雑音(DSP雑音)、及びキャリアリークやイメージ等の周波数変換によるスプリアス成分が変調波とは周波数上で離れた位置で発生することとなる。その結果、これらDSP雑音及びスプリアス成分は、変調波に影響を与えない比較的広い帯域特性のバンドパスフィルタで充分にを除去することができ、従って、アナログ信号処理回路部分の設計が非常に容易となる。

【0042】この場合、図19の従来技術のように、同一のタップ係数を有するデジタルフィルタでI及びQの両チャネルの入力信号の波形整形を行うと、図4に示すように、直交変調演算回路105の演算過程で片方のチャネルのデータが欠落し、チャネル間にタイミング位相差が発生して伝送特性が劣化する。

【0043】このため本発明では、図5に示すように、Iチャネル及びQチャネル間でデジタルフィルタ104の位相特性をあらかじめずらしておき、信号合成による位相差を補償している。即ち、デジタルフィルタ部

の単一パルス応答を $r(t)$ とすると、回路104cによってIチャンネル用デジタルフィルタ部104aに P_1 だけ位相シフトされたインパルス応答 $r(t+P_1)$ を与え、回路104dによってQチャンネル用デジタルフィルタ部104bに P_0 だけ位相シフトされたインパルス応答 $r(t+P_0)$ を与えて両チャンネル間に $P_1 - P_0$ の位相差を与えるように、異なるタップ係数を有するデジタルフィルタ104を用いている。

【0044】片チャンネルのデータ欠落によりIチャンネル及びQチャンネル間に生じるタイミング位相差 P_{dif} は、 $P_{dif} = T / (M_s \times 2M_c)$

で示される。ここで、 T は信号周期、 M_s はデジタルフィルタのサンプリング数（一般には自然数）であり、 $M_c/2$ はフィルタ出力データ当たりのキャリア周期である。図1に示した実施形態では、 $M_s = 4$ 、 $M_c = 2$ であるため、Iチャンネル及びQチャンネル間に生じる位相差は、 $P_{dif} = T/16$ となる。この位相差 P_{dif} を補償するための、デジタルフィルタ104の位相シフト量 $P_1 - P_0$ は、(1) $P_1 = T/16$ 及び $P_0 = 0$ 、(2) $P_1 = T/32$ 及び $P_0 = -T/32$ 、又は(3) $P_1 = 0$ 及び $P_0 = -T/16$ のいずれであってもよい。

【0045】即ち、各チャンネルがI、Qの順序で合成されるため、Qチャンネル信号はIチャンネル信号より位相が遅れる。そのため、インパルス応答を、

(1) Iチャンネル: $r(kT/4 + T/16 + t_0)$

Qチャンネル: $r(kT/4 + t_0)$

(ただし、 $k=0, 1, 2, \dots$ 、 t_0 はサンプリング初期位相)のようにIチャンネル信号の単一パルス応答の位相を遅らせるように各チャンネルのタップ係数を決定してもよい。また、位相差の補償を以下のように、両チャンネルに均等に配分した単一パルス応答、

(2) Iチャンネル: $r(kT/4 + T/32 + t_0)$

Qチャンネル: $r(kT/4 - T/32 + t_0)$

としてもよいし、さらにQチャンネルの位相を進ませた単一パルス応答、

(3) Iチャンネル: $r(kT/4 + t_0)$

Qチャンネル: $r(kT/4 - T/16 + t_0)$

としてもよい。

【0046】図6に各チャンネルのデジタルフィルタ部104a及び104bの具体的な構成例を示す。

【0047】同図において、600は信号入力端子、601₀～601_(K-1)はこの信号入力端子600に直列に接続された信号周期 T の遅延回路をそれぞれ示している。遅延回路601₁～601_(K-1)の出力端子は波形メモリ602の入力端子に接続されている。

【0048】波形メモリ602は、この例では4つのROM602₀～602₃から構成されており、遅延回路

からの出力をアドレスとして各位相(Phase-0～Phase-3)についての振幅情報があらかじめ格納されている。ここで、ROM602₀～602₃に記憶されている位相情報は、Iチャンネルにおいてはインパルス応答 $r(t+P_1)$ が与えられるように P_1 だけ位相シフトされており、Qチャンネルにおいてはインパルス応答 $r(t+P_0)$ が与えられるように P_0 だけ位相シフトされている。これによって、両チャンネル間に $P_1 - P_0$ の位相差を与えることができる。

【0049】ROM602₀～602₃の出力端子は、直接に、1つの $T/4$ 遅延回路603₁を介して、2つの $T/4$ 遅延回路603₂及び603₃を介して、3つの $T/4$ 遅延回路603₄～603₆を介して、それぞれ全加算器604に接続されており、全加算器604の出力端子605は図1の直交変調演算回路105の一方のチャンネルの入力端子に接続されている。

【0050】このように本実施形態では、波形メモリ602に記憶されている位相情報をあらかじめ位相シフトしておくことにより、両チャンネル間に $P_1 - P_0$ の位相差を与えている。

【0051】図7は、本発明によるデジタル処理型直交変調器の他の実施形態の構成を概略的に示すブロック図である。この実施形態は、図1の実施形態の入力系列数を4とし、さらに伝送速度の可変機能及び変調方式の可変機能を付加したものである。

【0052】同図において、700はIチャンネルの4つの入力信号(D1、D2、D3、D4)の入力端子、701はQチャンネルの4つの入力信号(D1、D2、D3、D4)の入力端子、702は信号入力端子700に接続された入力信号サンプリング用のフリップフロップ(複数)、703は信号入力端子701に接続された入力信号サンプリング用のフリップフロップ(複数)、704はデジタルフィルタをそれぞれ示している。

【0053】デジタルフィルタ704は、本実施形態では、Iチャンネル用のデジタルフィルタ部704aと、Qチャンネル用のデジタルフィルタ部704bと、Iチャンネル用デジタルフィルタ部704aに P_1 だけ位相シフトされたインパルス応答 $r(t+P_1)$ を与えるための回路704cと、Qチャンネル用デジタルフィルタ部704aに P_0 だけ位相シフトされたインパルス応答 $r(t+P_0)$ を与えるための回路704dとからなっている。ここで、 $r(t)$ はデジタルフィルタ部の単一インパルス応答である。

【0054】デジタルフィルタ704のIチャンネル用デジタルフィルタ部704aの出力端子には、直交変調演算回路705内の4入力マルチプレクサ(4-1セレクト)705cの第1の入力端子が直接的に接続されており、さらに第1の補数回路705aを介してマルチプレクサ705cの第3の入力端子が接続されている。デジタルフィルタ704のQチャンネル用デジタルフ

フィルタ部 704b の出力端子には、マルチプレクサ 705c の第 2 の入力端子が直接的に接続されており、さらに第 2 の補数回路 705b を介してマルチプレクサ 705c の第 4 の入力端子が接続されている。

【0055】クロック入力端子 706 は $1/4$ 分周用のクロック分周回路 707 及びマルチプレクサ 705c のクロック入力端子に接続されている。このクロック分周回路 707 の出力端子は、I チャンネル用デジタルフィルタ部 704a 及び Q チャンネル用デジタルフィルタ部 704b のクロック入力端子に接続されており、さらに $1/M_s$ 分周用のクロック分周回路 708 を介してフリップフロップ 702 及び 703 の制御端子に接続されている。

【0056】マルチプレクサ 705c の出力端子は、デジタル-アナログ (D/A) 変換器 709、バンドパスフィルタ (BPF) 710、ミキサ 711 及び BPF 712 を介して変調信号出力端子 713 に結合されている。ミキサ 711 には、さらに、ローカル発振器 714 の出力端子が接続されている。

【0057】伝送速度制御信号の印加される入力端子 715 は、 $1/M_s$ 分周用のクロック分周回路 708 及びデジタルフィルタ 704 に接続されている。変調方式制御信号の印加される入力端子 716 は、デジタルフィルタ 704 に接続されている。

【0058】この構成において I チャンネル及び Q チャンネルの入力信号は、システムクロックの $1/(4M_s)$ に分周されたクロックでサンプリングされて I チャンネル用デジタルフィルタ部 704a 及び Q チャンネル用デジタルフィルタ部 704b に入力される。次いで各入力信号は、各デジタルフィルタ部において波形整形処理及び帯域制限処理された後、各チャンネル毎に出力される。

【0059】直交変調演算回路 705 では、デジタルフィルタの出力信号の 1 タイムスロット毎に補数回路 705a 及び 705b 並びにマルチプレクサ 705c を用いて、以下に示す所定の順序 (即ち、I チャンネル用デジタルフィルタ部 704a の出力、Q チャンネル用デジタルフィルタ部 704b の出力、補数回路 705a の出力、補数回路 705b の出力という順序) で合成することにより変調出力を得る。

【数 2】

$$I, \quad Q, \quad \bar{I}, \quad \bar{Q}$$

【0060】このように、直交変調演算回路 705 が、補数回路とセレクトという高速動作が可能な回路で構成されているため、キャリア周波数 (変調波の中心周波数) を容易に高くすることができる。変調周波数を高くすると、図 3 に示すように、デジタル処理の折り返し雑音 (DSP 雑音)、及びキャリアリークやイメージ等の周波数変換によるスプリアス成分が変調波とは周波数上で離れた位置で発生することとなる。その結果、これら DSP 雑音及びスプリアス成分は、変調波に影響を与

えない比較的広い帯域特性のバンドパスフィルタで充分に除去することができ、従って、アナログ信号処理回路部分の設計が非常に容易となる。

【0061】この場合、図 19 の従来技術のように、同一のタップ係数を有するデジタルフィルタで I 及び Q の両チャンネルの入力信号の波形整形を行うと、図 4 に示すように、直交変調演算回路 705 の演算過程で片方のチャンネルのデータが欠落し、チャンネル間にタイミング位相差が発生して伝送特性が劣化する。

【0062】このため本発明では、図 5 に示すように、I チャンネル及び Q チャンネル間でデジタルフィルタ 704 の位相特性をあらかじめずらしておき、信号合成による位相差を補償している。即ち、デジタルフィルタ部の単一パルス応答を $r(t)$ とすると、回路 704c によって I チャンネル用デジタルフィルタ部 704a に P_i だけ位相シフトされたインパルス応答 $r(t+P_i)$ を与え、回路 704d によって Q チャンネル用デジタルフィルタ部 704b に P_q だけ位相シフトされたインパルス応答 $r(t+P_q)$ を与えて両チャンネル間に $P_i - P_q$ の位相差を与えるように、異なるタップ係数を有するデジタルフィルタ 704 を用いている。

【0063】片チャンネルのデータ欠落により I チャンネル及び Q チャンネル間に生じるタイミング位相差 P_{dif} は、図 1 の実施形態の場合と同様に、 $P_{dif} = T / (M_s \times 2M_c)$

で示される。ここで、 T は信号周期、 M_s はデジタルフィルタのサンプリング数、 $M_c/2$ はフィルタ出力データ当たりのキャリア周期である。図 7 に示した実施形態では、 M_s は伝送速度制御のために可変、 $M_c = 2$ であるため、I チャンネル及び Q チャンネル間に生じる位相差は、 $P_{dif} = T / (4M_s)$ となる。この位相差 P_{dif} を補償するための、デジタルフィルタ 704 の位相シフト量 $P_i - P_q$ は、(1) $P_i = T / (4M_s)$ 及び $P_q = 0$ 、(2) $P_i = T / (8M_s)$ 及び $P_q = -T / (8M_s)$ 、又は (3) $P_i = 0$ 及び $P_q = -T / (4M_s)$ のいずれであってもよい。

【0064】本実施形態では、伝送速度制御信号に応じてデジタルフィルタのサンプリング数 M_s を変化させ、かつデジタルフィルタ 704 内の波形メモリの選択及び累算器出力の位相選択を行うことによって伝送速度を、例えばフルレート ($M_s = 4$ の場合)、ハーフレート ($M_s = 8$ の場合) の 2 種類に切り替え可能としている。ただし、デジタルフィルタ 704 及び直交変調演算回路 705 内の動作速度は一定である (クロック周期は $T/4$)。さらに、変調方式を QPSK ~ 256QAM の多値変調方式に切り替え可能としている。

【0065】なお、デジタルフィルタ 704 内の伝送速度可変制御動作及び変調方式可変制御動作、並びに本実施形態の作用効果については、図 8 の実施形態において詳細に説明する。

【0066】図8は、本発明によるデジタル処理型直交変調器のさらに他の実施形態の構成を概略的に示すブロック図である。この実施形態は、図1の実施形態の入力系列数を4とし、さらに伝送速度の可変機能及び変調方式の可変機能を付加したものである。

【0067】同図において、800はIチャンネルの4つ系列の入力信号(D1、D2、D3、D4)の入力端子801はQチャンネルの4つ系列の入力信号(D1、D2、D3、D4)の入力端子、802は信号入力端子800に接続された入力信号サンプリング用のフリップフロップ(複数)、804はデジタルフィルタをそれぞれ示している。

【0068】デジタルフィルタ804は、本実施形態では、Iチャンネル及びQチャンネル共用のデジタルフィルタ部804aと、デジタルフィルタ部804aに $P_{dif}/2$ だけ位相シフトされたインパルス応答を与えるための回路804bとからなっている。

【0069】デジタルフィルタ804のIチャンネル側の出力端子には、直交変調演算回路805内の4入力信号合成回路(4入力マルチプレクサ)805cの第1の入力端子が直接的に接続されており、さらに第1の補数回路805aを介してマルチプレクサ805cの第3の入力端子が接続されている。デジタルフィルタ804のQチャンネル側の出力端子には、マルチプレクサ805cの第2の入力端子が直接的に接続されており、さらに第2の補数回路805bを介してマルチプレクサ805cの第4の入力端子が接続されている。

【0070】クロック入力端子806は $1/4$ 分周用のクロック分周回路807及びマルチプレクサ805cのクロック入力端子に接続されている。このクロック分周回路807の出力端子は、Iチャンネル用デジタルフィルタ部804a及びQチャンネル用デジタルフィルタ部804bのクロック入力端子に接続されており、さらに $1/M_s$ 分周用のクロック分周回路808を介してフリップフロップ802及び803の制御端子に接続されている。

【0071】マルチプレクサ805cの出力端子は、デジタル-アナログ(D/A)変換器809、バンドパスフィルタ(BPF)810、ミキサ811及びBPF812を介して変調信号出力端子813に結合されている。ミキサ811には、さらに、ローカル発振器814の出力端子が接続されている。

【0072】信号の印加される入力端子815は、 $1/M_s$ 分周用のクロック分周回路808及びデジタルフィルタ804に接続されている。変調方式制御信号の印加される入力端子816は、デジタルフィルタ804に接続されている。

【0073】この構成においてIチャンネル及びQチャンネルの入力信号は、システムクロックの $1/(4M_s)$ に分周されたクロックでサンプリングされてデジタルフ

ィルタ部804aに入力される。次いで各入力信号は、デジタルフィルタ部において波形整形処理及び帯域制限処理された後、各チャンネル毎に出力される。

【0074】直交変調演算回路805では、デジタルフィルタの出力信号の1タイムスロット毎に補数回路805a及び805b並びにマルチプレクサ805cを用いて、以下に示す所定の順序(即ち、Iチャンネル側の出力、Qチャンネル側の出力、補数回路805aの出力、補数回路805bの出力という順序)で合成することにより変調出力を得る。

【数3】

$$I, \quad Q, \quad \bar{I}, \quad \bar{Q}$$

【0075】このように、直交変調演算回路805が、補数回路とセクタという高速動作が可能な回路で構成されているため、キャリア周波数(変調波の中心周波数)を容易に高くすることができる。変調周波数を高くすると、図3に示すように、デジタル処理の折り返し雑音(DSP雑音)、及びキャリアリークやイメージ等の周波数変換によるスプリアス成分が変調波とは周波数上で離れた位置で発生することとなる。その結果、これらDSP雑音及びスプリアス成分は、変調波に影響を与えない比較的広い帯域特性のバンドパスフィルタで充分にを除去することができ、従って、アナログ信号処理回路部分の設計が非常に容易となる。

【0076】この場合、図19の従来技術のように、同一のタップ係数を有するデジタルフィルタでI及びQの両チャンネルの入力信号の波形整形を行うと、図4に示すように、直交変調演算回路805の演算過程で片方のチャンネルのデータが欠落し、チャンネル間にタイミング位相差が発生して伝送特性が劣化する。

【0077】このため本発明では、図5に示すように、Iチャンネル及びQチャンネル間でデジタルフィルタ804の位相特性をあらかじめずらしておき、信号合成による位相差を補償している。即ち、デジタルフィルタ部の単一パルス応答を $r(t)$ とすると、回路804bによってIチャンネル側に P_I だけ位相シフトされたインパルス応答 $r(t+P_I)$ を与え、Qチャンネル側に $P_Q = -P_I$ だけ位相シフトされたインパルス応答 $r(t+P_Q)$ を与えて両チャンネル間に $P_I - P_Q = 2P_I$ (又は $2P_Q$)の位相差を与えるように、異なるタップ係数を有するデジタルフィルタ804を用いている。

【0078】片チャンネルのデータ欠落によりIチャンネル及びQチャンネル間に生じるタイミング位相差 P_{dif} は、図1の実施形態の場合と同様に、 $P_{dif} = T/(M_s \times 2M_c)$ で示される。ここで、 T は信号周期、 M_s はデジタルフィルタのサンプリング数、 $M_c/2$ はフィルタ出力データ当たりのキャリア周期である。

【0079】図8に示した実施形態では、 M_s は伝送速度制御のために可変、 $M_c = 2$ であるため、Iチャンネル及びQチャンネル間に生じる位相差は、 $P_{dif} = T/(4$

M_s) なる。この位相差 P_{dif} を補償するための、デジタルフィルタ 804 の位相シフト量 $P_1 - P_0$ を、本実施形態では、 $P_1 = T / (8M_s)$ 及び $P_0 = -T / (8M_s)$ としている。

【0080】本実施形態では、伝送速度制御信号に応じてデジタルフィルタのサンプリング数 M_s を変化させ、かつデジタルフィルタ 804 内の波形メモリの選択及び累算器出力の位相選択を行うことによって伝送速度を、例えばフルレート ($M_s = 4$ の場合)、ハーフレート ($M_s = 8$ の場合) の 2 種類に切り替え可能としている。ただし、デジタルフィルタ 804 及び直交変調演算回路 805 内の動作速度は一定である (クロック周期は $T/4$)。さらに変調方式を QPSK ~ 256QAM の多値変調方式に切り替え可能としている。

【0081】図 9 は図 8 の実施形態におけるデジタルフィルタ 804 の一方のチャンネル部分又は図 7 の実施形態における I チャンネル用のデジタルフィルタ部 704a 又は Q チャンネル用のデジタルフィルタ部 704b の具体的な構成例を示す。

【0082】同図において、901 は 4 つの入力端子 900 からの入力信号 (D1、D2、D3、D4) を合成するアドレス生成回路であり、このアドレス生成回路 901 は、各入力信号を遅延するための 4 つのシフトレジスタ 901a₁ ~ 901a₄ とこれらシフトレジスタの出力を合成する 4 入力マルチプレクサ 901b とから構成されている。

【0083】アドレス生成回路 901 の出力端子は、波形メモリ 902 のアドレス入力端子に接続されている。波形メモリ 902 には、入力端子 815 (図 8) を介して伝送速度制御信号が印加される。この波形メモリ 902 の出力端子は、レジスタ及びタイミング制御回路 903 の入力端子に接続されている。レジスタ及びタイミング制御回路 903 には、入力端子 816 (図 8) を介して変調方式制御信号が印加される。

【0084】レジスタ及びタイミング制御回路 903 の出力端子は、各位相 (Phase-0 ~ Phase-7) の重み付け累算器 904₀ ~ 904₇ の入力端子に接続されており、これら重み付け累算器 904₀ ~ 904₇ の出力端子は、シフト加算器 905 の入力端子に接続されている。シフト加算器 905 の出力端子 906 は、図 7 又は図 8 の直交変調演算回路 705 又は 805 に接続されている。

【0085】図 10 は図 9 に示した波形メモリ 1002 の構成例を示している。同図に示すように、波形メモリ 1002 は、タップ数の最大値に等しい数の、この例では 8 つの ROM 1001₀ ~ 1001₇ から構成されている。これら ROM 1001₀ ~ 1001₇ には、各位相 (Phase-0 ~ Phase-7) についての振幅情報があらかじめ格納されており、アドレス生成回路 901 (図 9) から入力端子 1000 を介して印加される

信号をアドレスとしてその振幅情報が読出され、出力端子 1002₀ ~ 1002₇ を介してそれぞれ出力される。

【0086】ここで、ROM 1001₀ ~ 1001₇ には異なるタップ係数が設定されている。即ち、ROM 1001₀ ~ 1001₇ に記憶されている位相情報は、I チャンネルにおいてはインパルス応答 $r(t + P_1)$ が与えられるように P_1 だけ位相シフトされており、Q チャンネルにおいてはインパルス応答 $r(t + P_0)$ が与えられるように P_0 だけ位相シフトされている。これによって、両チャンネル間に $P_1 - P_0$ の位相差を与えることができる。

【0087】伝送速度制御信号は、ROM 1001₀ ~ 1001₇ のイネーブル端子に入力されるように構成されており、この伝送速度制御信号によって指定されるサンプリング数に応じた ROM が動作するように構成されている。即ち、サンプリング数 M_s が $M_s = 4$ の場合には ROM 1001₀ ~ 1001₃ のみが動作するように構成されており、 $M_s = 8$ の場合には ROM 1001₀ ~ 1001₇ が全て動作するように構成されている。

【0088】図 11 は図 9 に示したレジスタ及びタイミング制御回路 903 の構成例を示している。同図に示すように、この回路は、レジスタ部 1100 とタイミング制御回路 1101 とから構成されている。レジスタ部 1100 は各位相のフリップフロップ 1100₀ ~ 1100₇ から構成されており、これらフリップフロップ 1100₀ ~ 1100₇ の D 入力には図 10 の ROM 1001₀ ~ 1001₇ の出力がそれぞれ印加されるように構成されている。フリップフロップ 1100₀ ~ 1100₇ の Q 出力は図 9 に示した重み付け累算器 904₀ ~ 904₇ にそれぞれ送られるように構成されている。

【0089】タイミング制御回路 1101 は波形 ROM の動作周波数 f_{ROMCK} と同じ周波数を有するクロックを $1/8$ 分周する分周器 1101a と、分周されたクロックを $\tau = 1/f_{ROMCK}$ ずつ遅延する遅延回路 1101b₁ ~ 1101b₄ と、遅延回路 1101b₁ ~ 1101b₄ の出力が印加される 4-1 セレクタ 1101c と、4-1 セレクタ 1101c の出力及び分周器 1101a の出力のエクスクルーシブオア演算を行うエクスクルーシブオアゲート 1101d とを備えている。4-1 セレクタ 1101c には変調方式制御信号が印加される。

【0090】このタイミング制御回路 1101 のタイミングチャートが図 12 に示されている。同図から明らかに、波形 ROM の動作周波数 f_{ROMCK} のクロックは分周器 1101a によって $1/8$ に分周された後、元のクロック周期ずつ遅延されて 4-1 セレクタ 1101c に入力される。4-1 セレクタ 1101c が 4 入力のうちどれを選択するかという動作は、変調方式制御信号によって制御されており、例えば 1 入力を選択された場合には、これと分周器 1101a の出力とのエクスクル

一シブオアによって、タイミング制御回路出力が図示の1入力となる。このタイミング制御回路出力がLレベルのときに、レジスタ部1100のフリップフロップ1100₀～1100₇の内容がクリアされる。

【0091】図13は図9に示した各位相(Phase-0～Phase-7)の重み付け累算器904₀～904₇各々の構成例を示している。同図に示すように、各重み付け累算器は、加算器1300と、入力を2倍してこの加算器1300に出力する乗算器1301と、加算器1300の出力を乗算器1301に出力するフィードバック用レジスタ1302と、加算器1300の出力を受け取る出力用レジスタ1303とから構成されている。フィードバック用レジスタ1302は、入力信号系列数nに等しい回数の累算演算でその内容がクリアされるように設定されている。従って、各位相の重み付け累算器からは、 $D1 + D2/2 + D3/4 + \dots + Dn/2^n$ の出力が得られることとなる。本実施形態ではn=4であるため、 $D1 + D2/2 + D3/4 + D4/8$ が出力される。

【0092】図14は図9に示したシフト加算器905の構成例を示している。同図に示すように、このシフト加算器は、重み付け累算器904₀～904₇の出力を受け取り順次選択して出力する8-1セクタ1400と、この8-1セクタ1400の直列出力を受け取りサンプリング時間ずつ遅延させる4段のシフトレジスタ1401及び1402と、これらシフトレジスタ1401及び1402の並列出力を受け取る8入力加算器1403と、8-1セクタ1400のリセット値を可変とするカウンタ1404とから構成されている。

【0093】伝送速度制御信号は、このカウンタ1404に入力されて、このカウンタの最大カウント数(リセット値)を切り替えるように構成されている。例えば、サンプリング数M_sがM_s=4の場合は8-1セクタ1400がPhase-0～Phase-3の累算器出力を順次選択し、M_s=8の場合は8-1セクタ1400がPhase-0～Phase-7の累算器出力を順次選択するようにカウンタ1404の切り替えが行われる。伝送速度制御信号は、さらに、シフトレジスタ1402にも印加され、M_s=4の場合にこのシフトレジスタ1402をクリアする。これによって、加算器1403の入力数をサンプリング数に応じた値に制御することができる。

【0094】次に、図15に示すタイミングチャートを用いて本実施形態の動作を説明する。デジタルフィルタの動作クロックのM_s倍の周期でサンプリングされた入力信号D1、D2、D3、D4は、シフトレジスタ901a₁～901a₄によってそれぞれ遅延された後、4入力マルチプレクサ901bによって合成されて図15に示すROMアドレスとなる。

【0095】このROMアドレスに応じて波形メモリ9

02内の8つのROM1001₀～1001₇に記憶されている波形応答が読出される。前述のように、ROM1001₀～1001₇に記憶されている位相情報は、IチャネルにおいてはP_iだけ位相シフトされており、QチャネルにおいてはP_qだけ位相シフトされている。従って、両チャネル間にP_i - P_qの位相差が与えられる。また、前述したように、伝送速度制御信号によって指定されるサンプリング数に応じた数のROMが動作する。即ち、サンプリング数M_sがM_s=4の場合にはROM1001₀～1001₃のみが動作し、M_s=8の場合にはROM1001₀～1001₇が全て動作する。

【0096】波形メモリ902の各位相の出力は、レジスタ及びタイミング制御回路903に印加され、前述したように、変調方式制御信号に応じてその出力が0に固定される。例えば変調方式制御信号によって、1入力を選択された場合にはD2、D3及びD4のデータが0にクリアされ、2入力を選択された場合にはD3及びD4のデータが0にクリアされ、3入力を選択された場合にはD4のデータのみが0にクリアされ、4入力を選択された場合にはいずれのデータもクリアされない。

【0097】レジスタ及びタイミング制御回路903の各位相の出力が、重み付け累算器904₀～904₇に入力され、 $D1 + D2/2 + D3/4 + D4/8$ の重み付け演算がなされることによって、QPSK～256QAMの変調方式に応じた振幅情報を得ることができる。

【0098】シフト加算器905は、伝送速度制御信号によって指定されるサンプリング数に応じた数に従ってカウンタ1404(図14)のリセット値を切り替え、重み付け累算器904₀～904₇の位相選択を行っている。

【0099】以上述べた実施形態は全て本発明を例示的に示すものであって限定的に示すものではなく、本発明は他の種々の変形態様及び変更態様で実施することができる。従って本発明の範囲は特許請求の範囲及びその均等範囲によってのみ規定されるものである。

【0100】

【発明の効果】以上詳細に説明したように本発明によれば、デジタルフィルタのチャネル間の位相差をP_{diff}に相当する量だけずらして設計しているため、チャネル間のタイミング差による劣化を招くことなく、デジタルフィルタの出力当り数波長のキャリア信号を重畳できる。このため、デジタルフィルタの動作条件に従うことなく、任意のキャリア周波数(変調波の中心周波数)を選択できる。また、直交変調演算回路が、補数回路とセクタという高速動作が可能な回路で構成されているため、キャリア周波数を容易に高くすることができる。変調周波数をこのように高くすると、デジタル処理の折り返し雑音(DSP雑音)、及びキャリアリークやイメージ等の周波数変換によるスプリアス成分が変調波と

は周波数上で離れた位置で発生することとなり、その結果、これらDSP雑音及びスプリアス成分は、変調波に影響を与えない比較的広い帯域特性のバンドパスフィルタで充分に除去することができ、従って、アナログ信号処理回路部分の設計が非常に容易となる。

【0101】また、伝送速度、従って伝送帯域幅の可変制御についても、デジタルフィルタの動作条件を変化させることなく選択機能のみで実現している。その結果、最も速い伝送速度モードに対してアナログバンドパスフィルタを設計しておけば、後は無調整で全ての伝送速度モードをカバーすることができる。即ち、従来技術においては、伝送速度を可変制御するためにサンプリング数を変えることは全く考慮されておらず、モードを切り替える場合には、その切り替え信号と同時に新しいモードで信号処理が開始される。このため、図16に示すように、モード切り替え時点で位相の不連続が生じ、これに起因して不要な雑音が出力されるので、フィルタを一度リセットする必要がある。これに対して、本実施形態では、ROMのイネーブルの制御やカウンタのリセット値の制御のみで切り替えを行っているため、位相の連続性が保たれる。従って、モード切り替え時点で不要な雑音が出力されず、フィルタのリセットも不要となる。しかも、モード切り替えを瞬時に行うことができる。なお、図16において、数値0、1、2、3、4、5は出力される位相の番号を示す。

【0102】さらに変調方式の可変制御についても、波形メモリ出力のクリア制御のみで実現できるので、デジタルフィルタの動作条件を変化させることがない。従って、モードの切り替えを高速で行うことができかつアナログ処理部の構成を変更することなく高機能化を極めて容易に行うことができる。

【図面の簡単な説明】

【図1】本発明によるデジタル処理直交変調器の一実施形態の全体の構成を概略的に示すブロック図である。

【図2】図1の実施形態における信号処理のタイミングチャートである。

【図3】図1の実施形態におけるA/D変換器出力の周波数配置を示す図である。

【図4】同一のタップ係数を有するデジタルフィルタで波形成形した場合のタイミングチャートである。

【図5】図1の実施形態における各チャネルのデジタルフィルタに与える単一パルス応答を示す図である。

【図6】図1の実施形態におけるデジタルフィルタの一構成例を示すブロック図である。

【図7】本発明によるデジタル処理直交変調器の他の実施形態の全体の構成を概略的に示すブロック図である。

【図8】本発明によるデジタル処理直交変調器のさらに他の実施形態の全体の構成を概略的に示すブロック図

である。

【図9】図7又は図8の実施形態におけるデジタルフィルタの一構成例を示すブロック図である。

【図10】図9のデジタルフィルタにおける波形メモリの構成例を示すブロック図である。

【図11】図9のデジタルフィルタにおけるレジスタ及びタイミング制御回路の構成例を示すブロック図である。

【図12】図11のレジスタ及びタイミング制御回路における信号処理のタイミングチャートである。

【図13】図9のデジタルフィルタにおける重み付け累算器の構成例を示すブロック図である。

【図14】図9のデジタルフィルタにおけるシフト加算器の構成例を示すブロック図である。

【図15】図9のデジタルフィルタにおける信号処理のタイミングチャートである。

【図16】従来技術及び本発明における伝送速度切り替え時の位相の不連続及び連続を示す図である。

【図17】従来のデジタル処理直交変調器の一構成例を示すブロック図である。

【図18】他の従来のデジタル処理直交変調器の一構成例を示すブロック図である。

【図19】さらに他の従来のデジタル処理直交変調器の一構成例を示すブロック図である。

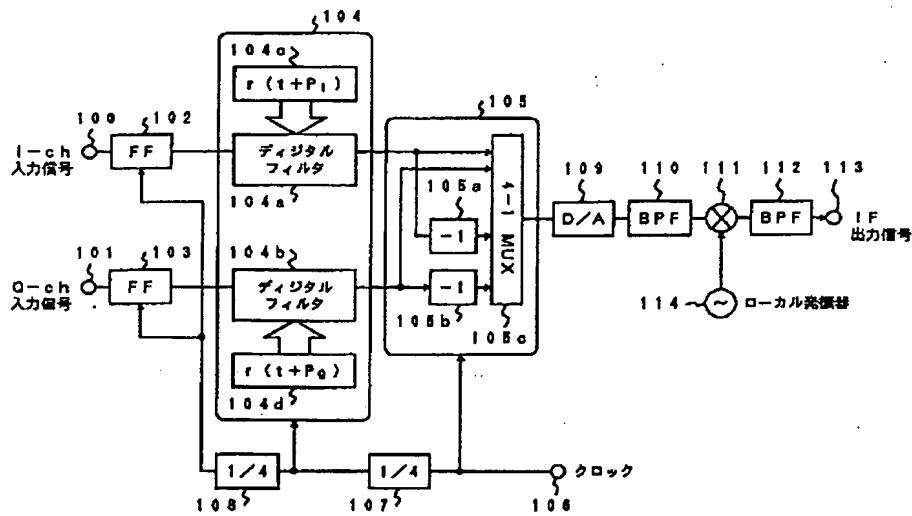
【図20】従来構成のデジタル処理直交変調器における信号処理のタイミングチャートである。

【図21】従来構成のデジタル処理直交変調器におけるA/D変換器出力の周波数配置を示す図である。

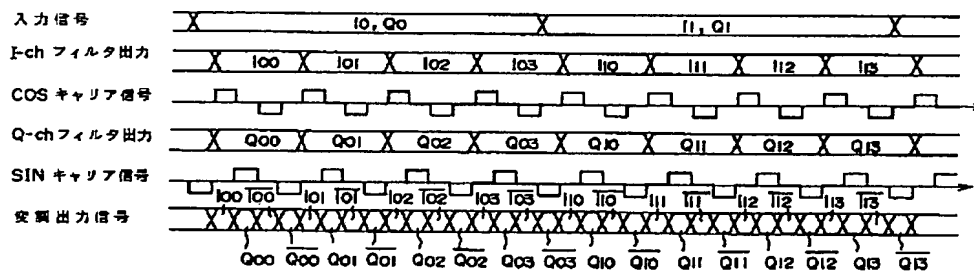
【符号の説明】

- 100 Iチャネルの信号入力端子
- 101 Qチャネルの信号入力端子
- 102、103 入力信号サンプリング用のフリップフロップ
- 104 デジタルフィルタ
- 104a Iチャネル用デジタルフィルタ部
- 104b Qチャネル用デジタルフィルタ部
- 104c、104d インパルス応答を与えるための回路
- 105 直交変調演算回路
- 105a、105b 補数回路
- 105c 4入力マルチプレクサ(4-1セクタ)
- 106 クロック入力端子
- 107、108 クロック分周回路
- 109 デジタル-アナログ(D/A)変換器
- 110、112 バンドパスフィルタ(BPF)
- 111 ミキサ
- 113 変調信号出力端子
- 114 ローカル発振器

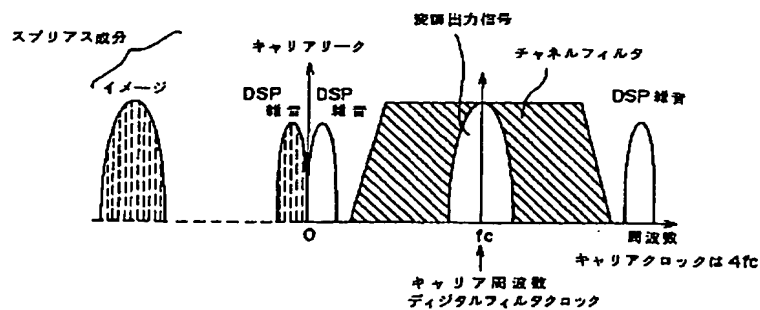
【図1】



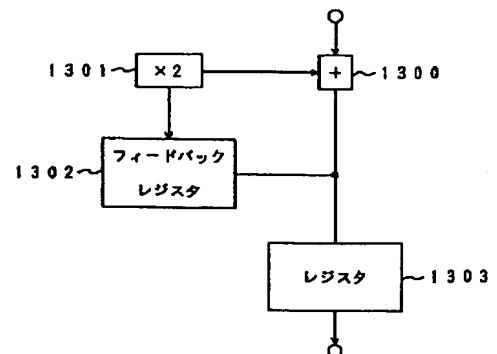
【図2】



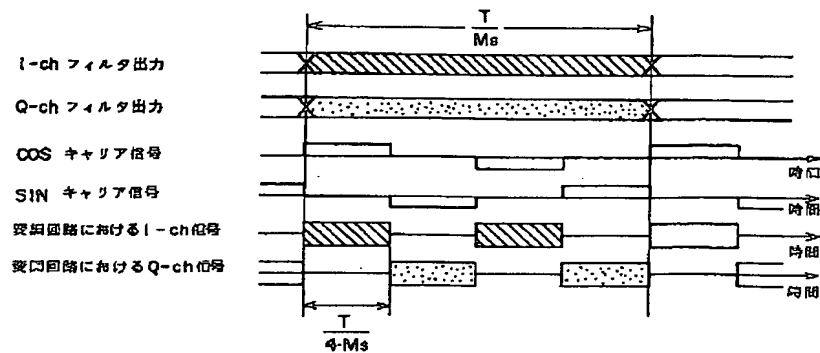
【図3】



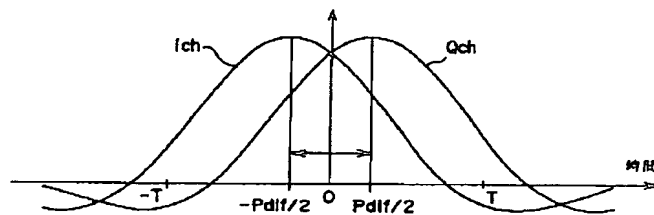
【図13】



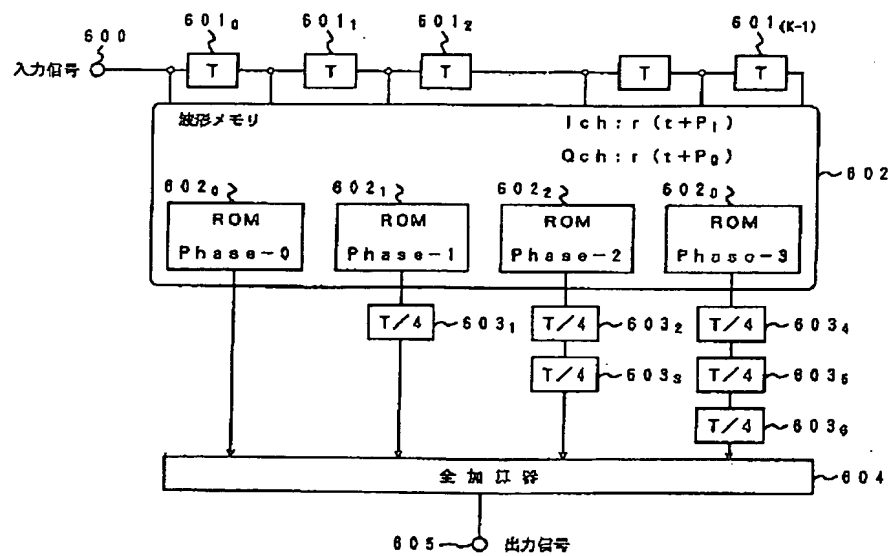
【図4】



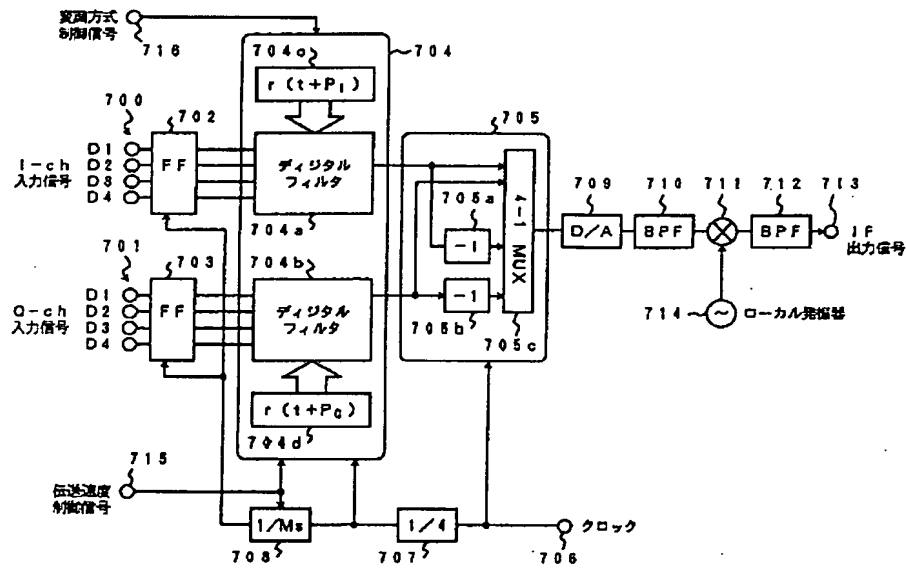
【図5】



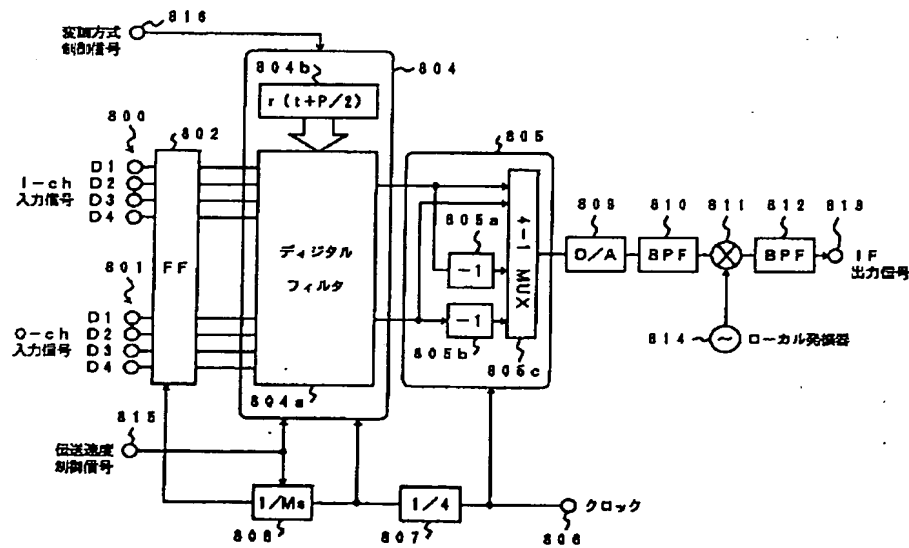
【図6】



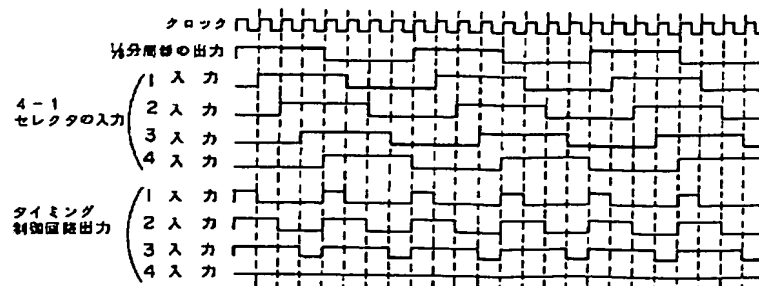
【図7】



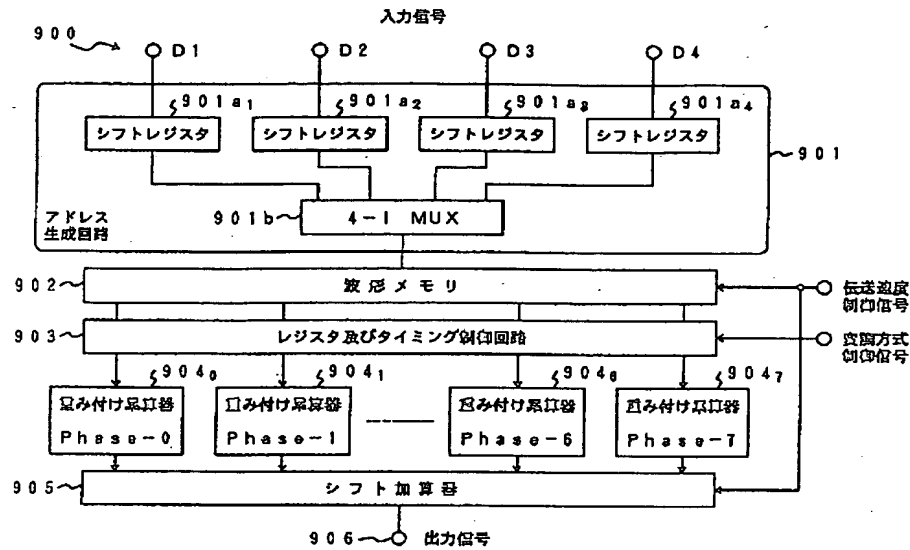
【図8】



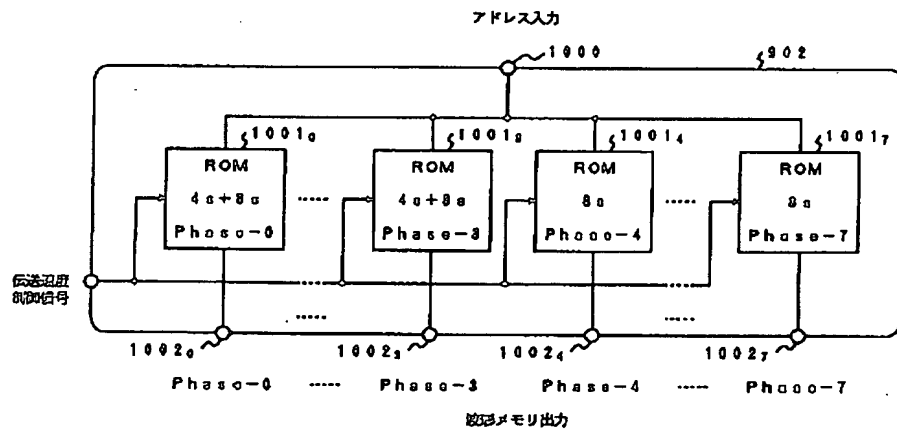
【図12】



【図 9】



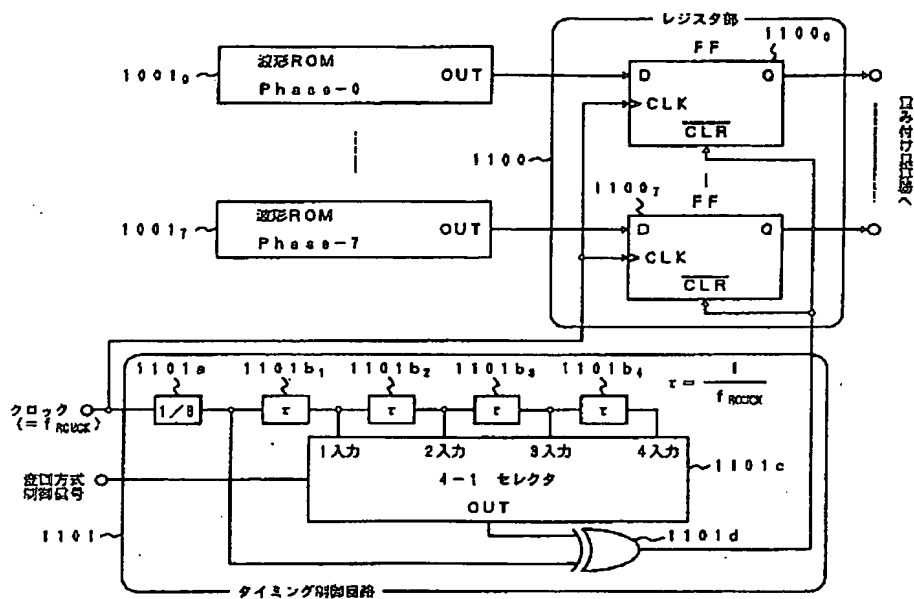
【図 10】



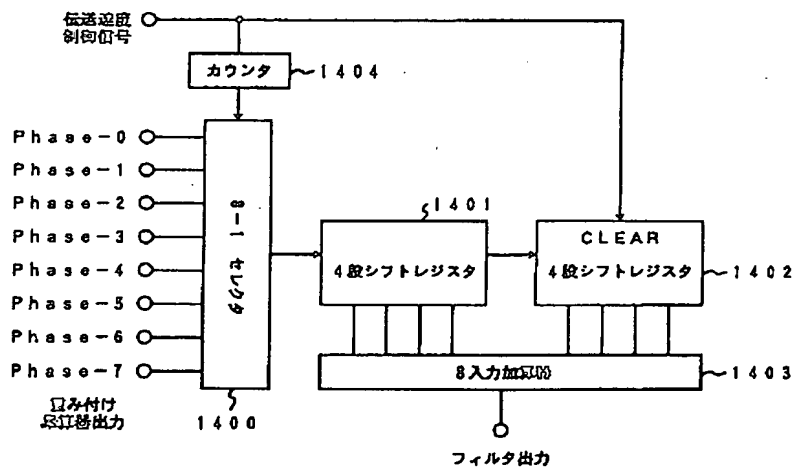
【図 15】

入力信号	X	D10, D20, D30, D40	X	D11, D21, D31, D41	X													
ROMアドレス	X	D10	X	D20	X	D30	X	D40	X	D11	X	D21	X	D31	X	D41	X	
ロジック入力 (4入力)	X	D10	X	D20	X	D30	X	D40	X	D11	X	D21	X	D31	X	D41	X	
(3入力)	X	D10	X	D20	X	D30	X	0	X	D11	X	D21	X	D31	X	0	X	
(2入力)	X	D10	X	D20	X	0	X	0	X	D11	X	D21	X	0	X	0	X	
(1入力)	X	D10	X	0	X	0	X	0	X	D11	X	0	X	0	X	0	X	
ロジック出力		$X \text{ D10} + \text{D20}/2 + \text{D30}/4 + \text{D40}/8$																
		$\text{D11} + \text{D21}/2 + \text{D31}/4 + \text{D41}/8$																

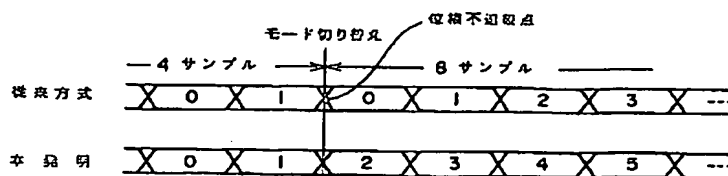
【図11】



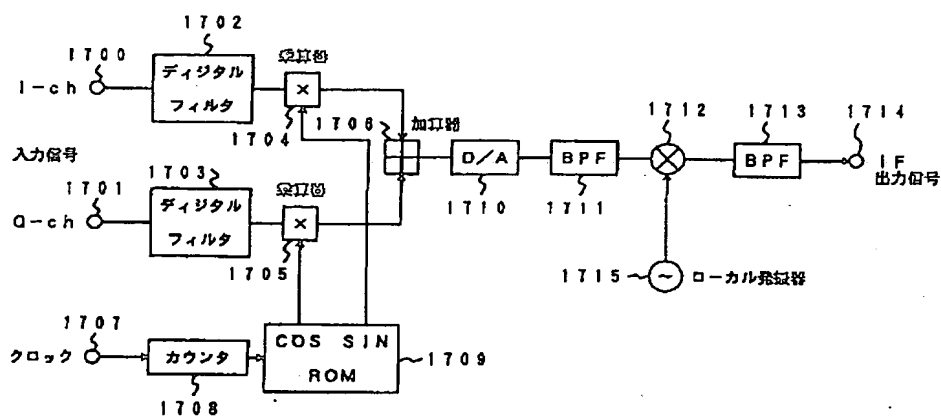
【図14】



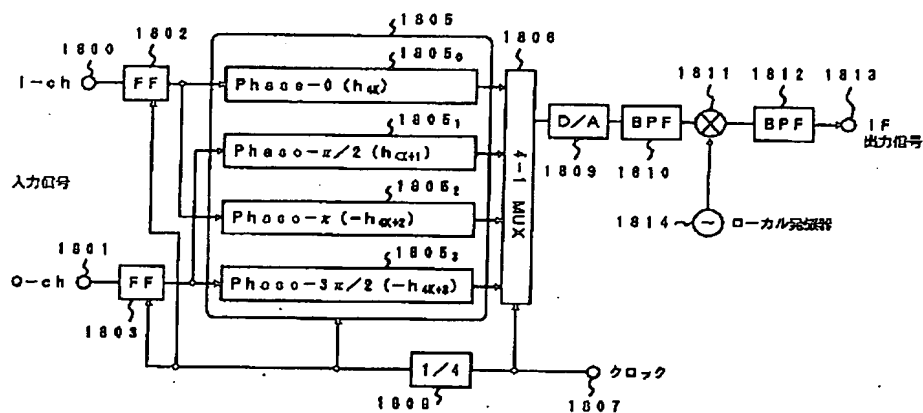
【図16】



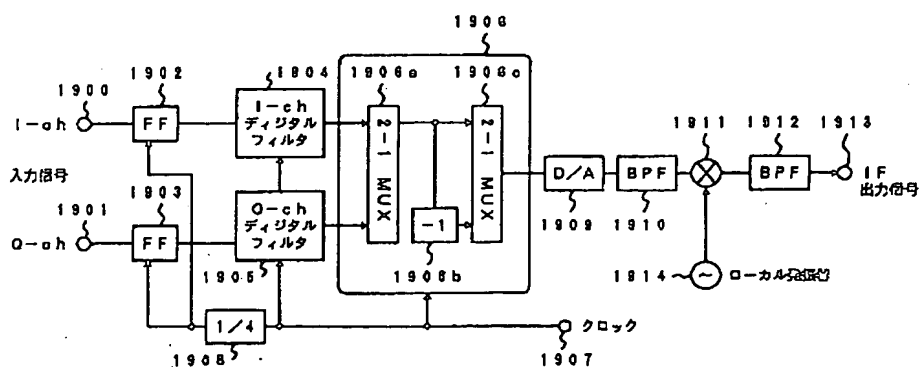
【図17】



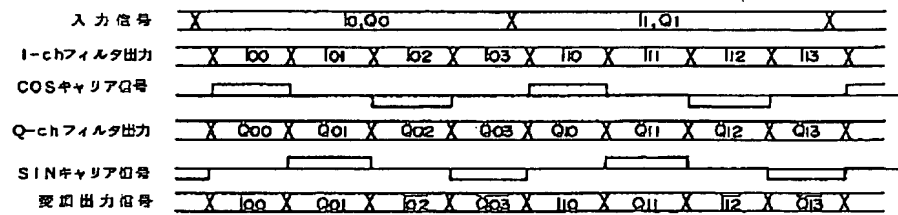
【図18】



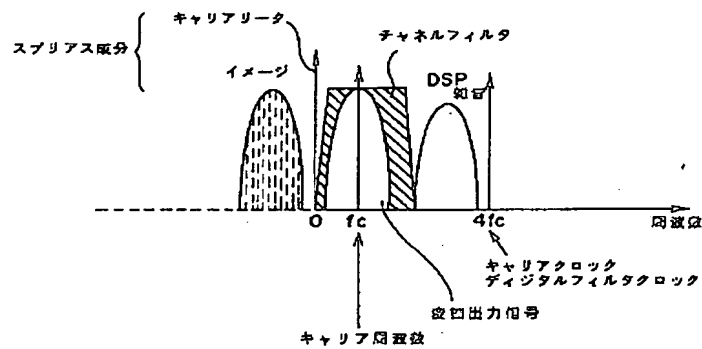
【図19】



【図20】



【図21】



フロントページの続き

(51)Int.Cl.⁶

H 0 4 L 27/00

識別記号

庁内整理番号

F I

技術表示箇所